

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189899

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 21/027  
H01L 21/768  
H01L 27/04  
H01L 21/822

(21)Application number : 08-344996

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.12.1996

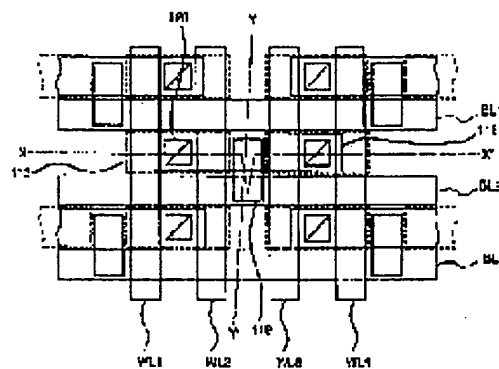
(72)Inventor : HASEGAWA NORIO  
YAMANAKA TOSHIAKI  
KIMURA SHINICHIRO  
OJI YUZURU  
HAYANO KATSUYA  
YOSHIDA MAKOTO  
TADAKI YOSHITAKA

## (54) SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make a pattern minuscule by forming an upper surface of a contact hole to which a bit line is connected in the vertical direction with respect to the wiring direction of a bit line in a long elliptical shape in the planar shape from a region, in which a channel region and source-drain regions are formed.

**SOLUTION:** Word lines WL1-WL4 are arranged in straight lines in a Y- direction. Bit lines BL1-BL3 are disposed in straight lines in the X-direction. Lower electrode 113 of a capacitor is formed to the upper section of these word lines and bit lines. A plug electrode 119, in which the longitudinal direction in a planar shape is formed in the Y-direction, is arranged onto an active



region 118 in clearances among the word lines WL1-WL4, so as to be extended to a region (an insulating isolating region) excepting the active region 118, while being brought into contact with the active region 118. The bit lines BL1-BL3 re disposed to the plug electrode 119 so that parts are superposed. Accordingly, the positions of each contact section among the active regions in the plug electrode and the bit liens are displaced in the vertical direction with respect to the bit lines.

---

## LEGAL STATUS

[Date of request for examination] 14.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-189899

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/108  
21/8242  
21/027  
21/768  
27/04

H 0 1 L 27/10 6 8 1 E  
21/30 5 2 8  
21/90 D  
27/04 A  
C

審査請求 未請求 請求項の数33 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願平8-344996

(22) 出願日

平成 8 年(1996)12月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 長谷川 昇雄

東京都小平市上水本町五丁目20番 1 号 株

式会社日立製作所半導体事業部内

(72) 発明者 山中 俊明

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 木村 紳一郎

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

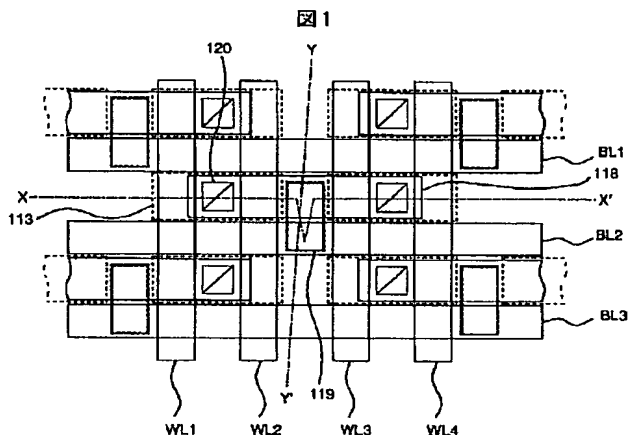
(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 半導体記憶装置の微細化及び高集積化を実現する。

【解決手段】 本発明によれば、X方向に延びる長方形のアクティブ（活性）領域に対して、Y方向に延びる楕円形状のビットラインコンタクトが設けられていることを特徴とする。

【効果】 アクティブ領域およびビット線、ワード線パターンが単純化でき効率良い微細化が実現できた。



## 【特許請求の範囲】

【請求項1】一つのスイッチ用トランジスタと、一つの電荷蓄積キャパシタを最小単位とする半導体記憶装置において、該スイッチ用トランジスタのチャネル領域とソース・ドレイン領域が形成されるアクティブ領域からビット線を接続するコンタクト孔の上部表面の平面形状がビット線の配線方向に対し垂直な方向が長い楕円形に形成されてなることを特徴とする半導体記憶装置。

【請求項2】一つのスイッチ用トランジスタと、一つの電荷蓄積キャパシタを最小単位とするメモリセルを半導体基体に形成する半導体記憶装置の製造方法において、アクティブ領域と蓄積容量部を接続するコンタクト孔1とアクティブ領域とビット線を接続するコンタクト孔2を一回のリソグラフィ工程で形成し、該リソグラフィ工程で用いるホトマスクが互いに隣接したパターンを通過する露光光に位相差を与えるように調整された位相シフトマスクであり、該ホトマスク内のコンタクト孔1とコンタクト孔2を透過する露光光の位相が互いに反転するように調整されており、更に、コンタクト孔1どうしが最短距離で隣接するパターンを通過する露光光の位相が互いに反転するように調整されていることを特徴とする半導体記憶装置の製造方法。

【請求項3】一つのスイッチ用トランジスタと、一つの電荷蓄積キャパシタを最小単位とする半導体記憶装置において、アクティブ領域と蓄積容量部を接続するコンタクト孔1が短い第1のピッチで配列されている、コンタクト孔1の配列と配列の間にアクティブ領域とビット線を接続するコンタクト孔2が配置され、コンタクト孔2がコンタクト孔1の配列方向と同方向に第1のピッチの2倍のピッチで配列され、更に、コンタクト孔2はコンタクト孔1の配列方向とほぼ垂直な直線上の位置に配置されており、コンタクト孔2の上部表面の平面形状がビット線の配線方向に対し垂直な方向が長い楕円形に形成されてなることを特徴とする半導体記憶装置。

【請求項4】一つのスイッチ用トランジスタと、一つの電荷蓄積キャパシタを最小単位とする半導体記憶装置において、アクティブ領域とビット線とのそれぞれの接触部の位置がビット線に垂直な方向にずれてなることを特徴とする半導体記憶装置。

【請求項5】一つのスイッチ用トランジスタと、一つの電荷蓄積キャパシタを最小単位とする半導体記憶装置において、アクティブ領域とビット線のパターンの平面形状が同方向に直線形状であり、互いに交差しないことを特徴とする半導体記憶装置。

【請求項6】半導体基体主面に絶縁分離領域によって区画された長方形のアクティブ領域が行方向に沿って配置され、該アクティブ領域に所定間隔を保って一対のワード線が列方向に沿って配置され、該ワード線間に位置し、該アクティブ領域に、絶縁膜に設けられた開口部を介してプラグ電極が埋め込み接続され、そのプラグ電極

の一部が該絶縁分離領域上に配置され、データ線が該プラグ電極の一部に接続され、行方向に沿って配置されていることを特徴とする半導体記憶装置。

【請求項7】該プラグ電極は、タングステン、チタンナイトライドもしくはチタンナイトライドとタングステンとの複合膜より選択された一つの材料からなることを特徴とする請求項6記載の半導体記憶装置。

【請求項8】該データ線は、高融点金属のシリサイド膜と多結晶シリコン膜の複合膜もしくは高融点金属より選択された一つの材料からなることを特徴とする請求項6乃至請求項7記載の半導体記憶装置。

【請求項9】該絶縁膜に設けられた開口部は、該ワード線および該絶縁分離領域に対して自己整合されて設けられていることを特徴とする請求項6記載の半導体記憶装置。

【請求項10】該絶縁膜に設けられた開口部は、楕円形状を成していることを特徴とする請求項9記載の半導体記憶装置。

【請求項11】半導体基体主面に絶縁分離領域によって区画された長方形のアクティブ領域が行方向に沿って配置され、該アクティブ領域に所定間隔を保って一対のワード線が列方向に沿って配置され、該ワード線間に位置し、該アクティブ領域の一部に、絶縁膜に設けられた開口部を介してプラグ電極が埋め込み接続され、そのプラグ電極の一部が該絶縁分離領域上に配置され、データ線が該プラグ電極の一部に接続され、行方向に沿って配置され、該ワード線を挟んで該プラグ電極に対向した位置に、該アクティブ領域の他部に電気的に接続するキャパシタの蓄積電極が設けられ、該蓄積電極に誘電体膜が設けられ、該誘電体膜にプレート電極が設けられていることを特徴とする半導体記憶装置。

【請求項12】該プラグ電極は、タングステン、チタンナイトライドもしくはチタンナイトライドとタングステンとの複合膜より選択された一つの材料からなることを特徴とする請求項11記載の半導体記憶装置。

【請求項13】該データ線は、高融点金属のシリサイド膜と多結晶シリコン膜の複合膜もしくは高融点金属より選択された一つの材料からなることを特徴とする請求項6乃至請求項12記載の半導体記憶装置。

【請求項14】該絶縁膜に設けられた開口部は、該ワード線および該絶縁分離領域に対して自己整合されて設けられていることを特徴とする請求項11記載の半導体記憶装置。

【請求項15】該絶縁膜に設けられた開口部は、楕円形状を成していることを特徴とする請求項11記載の半導体記憶装置。

【請求項16】該蓄積電極、該誘電体膜および該プレート電極で構成するキャパシタは王冠型キャパシタであることを特徴とする請求項11記載の半導体記憶装置。

【請求項17】該誘電体膜は、五酸化タンタル膜より成

ることを特徴とする請求項1乃至請求項16記載の半導体記憶装置。

【請求項18】該蓄積電極は、高融点金属膜より成ることを特徴とする請求項1乃至請求項17記載の半導体記憶装置。

【請求項19】該ワード線および該データ線は直線加工の配線パターンを成していることを特徴とする請求項1記載の半導体記憶装置。

【請求項20】半導体基体主面に絶縁分離領域によって区画された長方形のアクティブ領域が行方向に沿って配置され、該アクティブ領域に所定間隔を保って一対のワード線が列方向に沿って配置され、該ワード線間に位置し、該アクティブ領域の一部に、絶縁膜に設けられた開口部を介してプラグ電極が埋め込み接続され、そのプラグ電極の一部が該絶縁分離領域上に配置され、データ線が該プラグ電極の一部に接続され、行方向に沿って配置され、該ワード線を挟んで該プラグ電極に対向した位置に、該アクティブ領域の他部に、他のプラグ電極を介して電氣的に接続するキャパシタの蓄積電極が設けられ、該蓄積電極に誘電体膜が設けられ、該誘電体膜にプレート電極が設けられていることを特徴とする半導体記憶装置。

【請求項21】該他のプラグ電極は、チタンナイトライドからなることを特徴とする請求項20記載の半導体記憶装置。

【請求項22】該蓄積電極は、PtまたはRuより選択された材料よりなることを特徴とする請求項20乃至請求項21記載の半導体記憶装置。

【請求項23】該誘電体膜は、SrTiO<sub>3</sub>膜または(Ba, Sr)TiO<sub>3</sub>膜(BST膜)より選択された高誘電体膜よりなることを特徴とする請求項20乃至請求項22記載の半導体記憶装置。

【請求項24】該誘電体膜は、PZT膜よりなることを特徴とする請求項20乃至請求項22記載の半導体記憶装置。

【請求項25】半導体基体主面に複数の半導体領域が選択的に形成され、該半導体基体主面上に列方向に沿って複数のワード線が配置され、該ワード線を横切るように行方向に沿って複数のデータ線が配置され、それぞれのデータ線はそれぞれ絶縁膜に形成された楕円形状のコンタクト孔に埋め込まれた導電材料を介して該半導体領域に接続されていることを特徴とする半導体記憶装置。

【請求項26】該ワード線および該データ線は直線加工の配線パターンを成していることを特徴とする請求項24記載の半導体記憶装置。

【請求項27】半導体基体主面のメモリセル部は、絶縁分離領域によって区画された長方形の第1アクティブ領域が行方向に沿って配置され、該第1アクティブ領域に所定間隔を保って一対のワード線が列方向に沿って配置され、該ワード線間に位置し、該第1アクティブ領域の

半導体領域の一部に、絶縁膜に設けられた開口部を介して第1プラグ電極が埋め込み接続され、データ線が該第1プラグ電極の一部に接続され、行方向に沿って配置され、該ワード線を挟んで該第1プラグ電極に対向した位置に、該第1アクティブ領域の半導体領域の他部に、第2プラグ電極を介して電氣的に接続するキャパシタの蓄積電極が設けられ、該蓄積電極に誘電体膜が設けられ、該誘電体膜にプレート電極が設けられてなり、該半導体基体主面の周辺回路部は、絶縁分離領域によって区画された第2アクティブ領域が配置され、該アクティブ領域に設けられたゲート電極およびソース・ドレインを構成する一対の半導体領域を有し、該一対の半導体領域には第3プラグ電極および第4プラグ電極が接続されていることを特徴とする半導体記憶装置。

【請求項28】該第1、第2、第3および第4プラグ電極は、チタンナイトライドからなることを特徴とする請求項26記載の半導体記憶装置。

【請求項29】半導体基体主面に絶縁分離領域を選択的に形成し、該絶縁分離領域によって区画された長方形のアクティブ領域を行方向に沿って配置する工程、

該アクティブ領域上を横切るように所定間隔を保って一対のワード線を列方向に沿って直線を成して配置する工程、

該ワード線が形成されていない該アクティブ領域内にソース・ドレインを構成する一対の半導体領域を形成する工程、

該半導体領域が形成されたアクティブ領域を覆うように、絶縁膜を堆積する工程、

該一対のワード線間に位置された一方の半導体領域および該半導体領域を区画する該絶縁分離領域の一部が露出するように、該絶縁膜に列方向に細長い開口部を設ける工程、

該一方の半導体領域に接続するように該開口部にプラグ電極を埋め込む工程、該絶縁分離領域上に配置された該プラグ電極の一部において接続され、行方向に沿って直線を成してデータ線を配置する工程、とから成ることを特徴とする半導体記憶装置の製造方法。

【請求項30】該プラグ電極は、タングステン、チタンナイトライドもしくはチタンナイトライドとタングステンの複合膜より選択された一つの材料により形成することを特徴とする請求項28記載の半導体記憶装置の製造方法。

【請求項31】該データ線は、高融点金属のシリサイド膜と多結晶シリコン膜の複合膜もしくは高融点金属より選択された一つの材料により形成することを特徴とする請求項28乃至請求項29記載の半導体記憶装置の製造方法。

【請求項32】該開口部は、該ワード線および該絶縁分離領域に対して自己整合的に形成されることを特徴とする請求項28記載の半導体記憶装置の製造方法。

【請求項33】該開口部は、列方向に細長い楕円形状を成して形成されることを特徴とする請求項28記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に関し、特に、高集積化に好適なダイナミックランダムアクセスメモリ（DRAM）の構造および、その製造法に関する。

【0002】

【従来の技術】半導体記憶素子は、年々大規模化、高集積化を実現している。この高集積化は、主にリソグラフィの解像度向上によるパターン（pattern）の微細化により達成されてきた。リソグラフィの解像度向上は、主に投影露光装置のレンズの高NA化や、露光光の短波長化により進められている。しかし、実際の素子を形成するパターンは複雑な形状および配置となっており、効率良い微細化が困難になっている。特に、位相シフト法を代表とする、超解像技術を導入する場合は、パタンの配置に依ってはこれらの高解像度化手法の適用が困難な場合が発生し、素子の微細化の妨げになっている。たとえば、配線接続孔のパターンは繰り返して配置されている部分と、孤立して配置されている部分が混在し、このようなパターンを超解像技術を用いて形成する場合は、両者を同時に満足する方式が選定できず、制限の加わったパターン配置をせざるを得ないのが現状である。

【0003】また、ホールパタンの形成には、ハーフトーン型位相シフトマスクや、補助パターン型位相シフトマスクが用いられている。しかし、これらの方法は孤立のホールパターン形成には好適であるが、密集したホールパタンの形成は困難である。

【0004】一方、半導体記憶装置である、ダイナミック型ランダムアクセスメモリ（以下ダイナミックRAMと略す）は情報を記憶する電荷蓄積用のキャパシタに書き込み読みだし用のスイッチトランジスタを接続したもので、メモリセルの構成素子数が少ないことから高集積化が可能なコンピュータ機器の主記憶装置として広く一般に用いられている。

【0005】ダイナミックRAMの構造は種々考案されている。代表的なものは、メモリセルの電荷蓄積用のキャパシタが立体的な王冠型のスタックキャパシタ型の構造であり、例えば特開昭62-48062号公報に記述されている。

【0006】ダイナミックRAMにおいて、メモリセルのうちデータ線上に王冠型のキャパシタを設けたメモリセルの製造法を図34を用いて簡単に説明する。

【0007】まず、単結晶シリコン基板1上に素子間を絶縁分離するためのフィールド酸化膜2を成長させ、MISFETのゲート酸化膜3を成長させる。次いで、ゲート電極4として不純物を高濃度を含む多結晶シリコン膜を堆積

し、それをパターニングした後イオン打ち込み法を用いて、MISFETのソース、ドレイン領域となるn型の高濃度不純物領域5を単結晶シリコン基板1に自己整合で形成する。次いで、シリコン酸化膜6を堆積した後、メモリセル領域のMISFETの高濃度不純物領域5に開口部を形成し、配線電極として、不純物を高濃度を含む多結晶シリコンとタングステンシリサイド膜を順次堆積しパターニングする。次いで、シリコン酸化膜8を堆積した後、メモリセル領域のMISFETのソース若しくはドレインの高濃度n型不純物領域5上に開口部を形成する。さらに、多結晶シリコン膜と厚いシリコン酸化膜を連続して堆積し、これらを同時にパターニングした後、別の多結晶シリコン膜を堆積し、異方性のドライエッチングにより平坦部の露出した多結晶シリコン膜をエッチングすることで、上記シリコン酸化膜の側壁に上記多結晶シリコン膜を残存させる。上記シリコン酸化膜を除去することによって、王冠状の蓄積電極12が形成される。次いで、キャパシタ誘電体膜13を堆積した後、さらに、プレート電極14となる多結晶シリコン膜を堆積し、これをパターニングする。最後に層間絶縁膜のシリコン酸化膜15と金属配線19としてアルミニウム配線を形成し、周辺回路のMISFETとメモリセルが製造される。

【0008】このメモリセルの平面形状を図35を用いて説明する。50がアクティブ（活性）領域、52がワード線、53が蓄積容量電極とアクティブ領域を接続するコンタクト孔、54がビット線とアクティブ領域を接続するコンタクト孔、55が蓄積容量電極である。この様にビット線上部に蓄積容量電極を配置する構造の場合は、ビット線51はコンタクト孔53を避けて配線する必要がある。したがって、ビット線51とのコンタクト孔54はコンタクト孔53の配列からずらした位置に配列するのが、ビット線51との接続を容易にするのに有効である。

【0009】しかし、このようなパターン配置でさらにパタンの微細化、セル面積の微小化を進める場合、特にコンタクト孔の配列ピッチが小さくなり、従来の孤立パターンに最適なホール形成法の適用が困難となってきた。したがって、所望の微細化を実現することが困難となってきた。

【0010】

【発明が解決しようとする課題】本発明の課題は、メモリセル構造を改良し、パタンの微細化、セル面積の微小化に適した構造およびパターン形成方法を提供することにある。

【0011】

【課題を解決するための手段】上記課題を達成するために、本発明では、一つのスイッチ用トランジスタと、一つの電荷蓄積キャパシタを最小単位とする半導体記憶装置において、該スイッチ用トランジスタのチャネル領域とソース・ドレイン領域が形成されるアクティブ領域からビット線を接続するコンタクト孔のト部表面の平面形

状がビット線の配線方向に対し垂直な方向が長い楕円形に形成されてなることを特徴とする。

【0012】本発明では、リソグラフィにおけるホールパタンの形成に位相シフト効果が十分得られるマスクを使用した。さらに、位相シフト法を用いた場合のパタンの配置に依存するパタンの変形を利用し、効率良い微細化が可能となるように、メモリセルパタンの配置を考慮した。

【0013】すなわち、本発明は、一つのスイッチ用トランジスタと、一つの電荷蓄積キャパシタを最小単位とするメモリセルを半導体基体形成する半導体記憶装置の製造方法において、アクティブ領域と蓄積容量部を接続するコンタクト孔1とアクティブ領域とビット線を接続するコンタクト孔2を一回のリソグラフィ工程で形成し、該リソグラフィ工程で用いるホトマスクが互いに隣接したパタンを通過する露光光に位相差を与えるように調整された位相シフトマスクであり、該ホトマスク内のコンタクト孔1とコンタクト孔2を透過する露光光の位相が互いに反転するように調整されており、更に、コンタクト孔1どうしが最短距離で隣接するパタンを通過する露光光の位相が互いに反転するように調整されていることを特徴とする。

【0014】このように、位相シフトマスクの解像特性を有効に利用した、パタンの配置をメモリセルのパタン配置に適用することにより、位相シフトマスクの解像度向上効果を十分活かした、微細化が可能となり、メモリセルサイズの大幅な縮小が可能となった。

【0015】

【発明の実施の形態】

<実施例1>本実施例は、本発明によるダイナミックRAMに関するものである。図1は複数個のメモリセルを配したメモリセル群の平面図である。本実施例における一つのメモリセルは、一つのスイッチ用トランジスタ(MISFET)と、一つの電荷蓄積キャパシタを最小単位としている。また、該アクティブ(活性)領域は、絶縁分離領域によって区画された該トランジスタのチャネル領域とソース・ドレイン領域を構成している。

【0016】図1において、ワード線WL1~WL4がY方向(列方向)に直線を成して配置されている。また、データ線(ビット線)BL1~BL3がX方向(行方向)に直線を成して配置されている。ここでいう直線は、図12(ワード線配置)および図14(データ線配置)に示すように配線パタンが等間隔で配置された構造をいう。すなわち、それら配線パタンは、コンタクト部がドッグボーンレス構造または他のコンタクトをさけるためのクランク構造を成していない。

【0017】王冠型のキャパシタの下部電極(蓄積電極)113がこれらワード線とデータ線の上部に形成されている。ワード線WL1~WL4の隙間の活性領域118上には、平面形状の長手方向がY方向となるプラグ

電極119が該活性領域118に接して、かつ活性領域以外の領域(絶縁分離領域)上に延在するようにして配されている。該プラグ電極119にはデータ線BL1~BL3が一部で重なるように配されている。すなわち、プラグ電極におけるアクティブ領域とデータ線(ビット線)とのそれぞれの接触部の位置がビット線に垂直な方向にずれてなる。

【0018】さらに、活性領域118上には絶縁膜の開口部120が形成され、該開口部を介してキャパシタの下部電極113が接続されている。なお、アレー状に配された活性領域118の平面形状は図2のようになっている。すなわち、図1に示すように、活性領域とデータ線(ビット線)のパタンの平面形状が、同方向に直線形状であり、互いに交差しないことを特徴としている。

【0019】次に、図3ならびに図29を用いてメモリセルの構造について詳しく説明する。図3は、図1におけるX-X'における断面図である。なお、図29は図1に示すY-Y'方向切断の断面図である。

【0020】図3において、メモリセルのMISFETはゲート絶縁膜103、ゲート電極104、ソース・ドレインのとしてのn型の高濃度不純物領域107、108からなっている。プラグ電極(金属プラグ)110が上記高濃度不純物領域107上のシリコン酸化膜109を貫いて形成されている。さらに、上記シリコン酸化膜109上にはデータ線としての電極配線111が形成されている。配線電極111上のシリコン酸化膜112上には王冠型キャパシタの下部電極113が設けられ、高濃度不純物領域108に接続されている。ここで、王冠型のキャパシタは、下部電極(蓄積電極)113、キャパシタ誘電体膜114および上部電極(プレート電極)115からなる。

【0021】次に、図4乃至図10に示す製造工程の断面図、並びに図11乃至図16に示す主要な製造工程における平面図を用いて本実施例をさらに詳しく説明する。

【0022】まず、(100)結晶面を有するシリコン基板101表面に公知のシャロウトレンチアイソレーション法を用いてフィールド酸化膜102(絶縁分離領域)を選択的に形成する。このフィールド酸化膜102を形成することによって、図11に示すようにアレー状に複数の活性領域118が配置される。しかる後、活性領域上に公知の方法によりMISFETを形成する(図4)。MISFETのゲート(WL1, WL2, WL3, WL4)は、図12に示すように、Y方向に配置されている。なお、ここではMISFETのゲート長はたとえば0.2μmである。MISFETの極性は、nチャネル型を用いているが、pチャネル型でもよい。また、公知の自己整合コンタクトを用いるためにゲート電極104上にはシリコンナイトライド膜105が形成されている。さらに、ゲート電極104の材料としては好

ましくは厚さ100nm程度のタングステン等の低抵抗の高融点金属膜もしくはそのシリサイド膜と、厚さ100nm程度の多結晶シリコン膜との複合膜を用いる。

【0023】次いで、図5に示すように、厚さ50nm程度のシリコンナイトライド膜106を公知の減圧化学気相成長法（以下LPCVD法と略す）により堆積し、次いで厚さ300nmのボロンとリンを含んだシリコン酸化膜109を公知の化学気相成長法（以下CVD法と略す）により堆積し、800℃程度の温度でアニールを施すことによりシリコン酸化膜109表面をなだらかにする。

【0024】なお、シリコン酸化膜109にはボロンやリンを添加したものをを用いずTEOSガスを用いた400℃程度の低温のCVDによるシリコン酸化膜を用い、CMP（Chemical Mechanical Polishing）法等の他の方法で平坦にすることもできる。この場合、ウェハ全面に渡って平坦なシリコン酸化膜の表面が得られる。さらに、製造工程の温度を低温化することによって、MISFETのパンチスルーを防止することができる。さらに、MISFETのソース・ドレイン領域の高濃度不純物領域は、上記シリコンナイトライド膜106を堆積した後にイオン打ち込みを用いて形成してもよい。これにより、高濃度不純物領域の横方向位置を調整することができるため、MISFETのパンチスルーを防止することができる。

【0025】次いで、ホトリソグラフィと異方性のシリコン酸化膜のドライエッチングにより開口部119のシリコン酸化膜109をエッチングする。この際、シリコン酸化膜109のドライエッチングはシリコンナイトライド膜106をエッチングストップとし、さらに異方性のシリコンナイトライドのドライエッチングにより上記シリコンナイトライド膜106をエッチングすることで、ワード線であるゲート電極104およびフィールド酸化膜102に対して自己整合の開口部119を形成する（図5、図29）。この自己整合はマスク合わせ余裕を必要としないため、微細なコンタクト孔（開口部）が形成される。すなわち、セルフアラインコンタクトを実現している。

【0026】次いで、リンが高濃度に添加された厚さ200nmの多結晶シリコン膜をLPCVD法により堆積し、異方性のドライエッチングによりエッチバックして上記開口部119にプラグ電極110を形成する（図6、図13）。

【0027】なお、上記プラグ電極の材料にタングステンやチタンナイトライドを用いることで良好な電気的接触を得ることができる。また、ここでは示していないが、タングステン等の高融点金属を用いる場合はシリコン基板との反応を防止する目的でチタンナイトライド等のバリア金属膜を下層に設けることが好ましい。

【0028】次いで、データ線BL1～BL3（図1）

となる厚さ100nm程度の配線電極111を堆積し、ホトリソグラフィとドライエッチングによりパターンニングする（図7、図14）。ここで、図29に示すように、データ線の配線電極111のパターンニングの際にプラグ電極110が一部露出しても問題ない。

【0029】なお、配線電極111の材料としては好ましくはタングステン等の高融点金属のシリサイド膜（上層）と多結晶シリコン膜（下層）の複合膜、もしくはタングステン等の高融点金属膜を用いることができる。

【0030】次いで、厚さ200nm程度のボロンとリンを含んだシリコン酸化膜112をCVD法により堆積し、800℃程度の温度でアニールを施すことにより表面をなだらかにする。次いで、MISFETのソースもしくはドレインとなる高濃度不純物領域108上のシリコン酸化膜112、109、ならびにシリコンナイトライド膜106に開口部120をホトリソグラフィとドライエッチングにより形成する（図8、図15）。

【0031】次いで、厚さ100nmのn型の不純物を高濃度に含む多結晶シリコン膜と厚さ500nmのシリコン酸化膜を連続して堆積する。そして、これらをキャパシタの下部電極のパターンに同時にパターンニングした後、別の厚さ70nmのn型の不純物を高濃度に含む多結晶シリコン膜を堆積し、異方性のドライエッチングにより平端部の露出した多結晶シリコン膜をエッチングすることで、上記シリコン酸化膜の側壁に上記多結晶シリコン膜を残存させる。さらに、上記シリコン酸化膜を除去することによって、王冠状の下部電極113を形成する（図9、図16）。

【0032】次いで、キャパシタ誘電体膜114とプレート電極115となる厚さ100nmのタングステン膜を堆積しこれをパターンニングする（図10）。ここで、キャパシタ誘電体膜としてはシリコンナイトライド膜を用いた絶縁膜のほか、五酸化タンタル（ $Ta_2O_5$ ）膜等のシリコン酸化膜より比誘電率の大きな材料が好ましい。この堆積方法としては、段差被覆性の良いCVD法が好ましい。さらに、キャパシタ誘電体膜の酸化膜換算膜厚は1ギガビットクラスの大容量ダイナミックRAMでは3nm以下にすることが好ましい。なお、ここでは下部電極113に多結晶シリコン膜を用いたが、タングステンやチタンナイトライド膜の様な高融点金属膜を用いることもできる。その場合は、多結晶シリコン膜表面の自然酸化膜の影響を排除することができ、キャパシタ誘電体膜の酸化膜換算膜厚を薄くできる。

【0033】最後に、層間絶縁膜のシリコン酸化膜116と金属配線117としてアルミニウム配線を形成して図3に示した本発明の半導体記憶装置が完成する。

【0034】本実施例によれば、キャパシタをデータ線の上に設けたダイナミックRAMセルにおいて、データ線を接続する活性領域118（図1）にフィールド酸化膜102（図3）に延在するようなプラグ電極110



(図1、図3)を形成することによって、フィールド酸化膜上でプラグ電極とデータ線BL1~BL3(図1)を接続するために、活性領域の平面形状をを長方形にすることができる。これによって、マスク枚数の増加無しにシャロウトレンチアイソレーションのシリコン酸化膜の埋め込み工程における、平面形状に起因した製造方法の困難さを回避することができる。

【0035】<実施例2>本実施例は、実施例1のダイナミックRAMにおけるキャパシタの下部電極とシリコン基板の活性領域との接続方法に関するものである。図17はメモリセルアレーの平面図、図18は図17におけるX-X'方向切断の断面図である。

【0036】図17、図18において、シリコン基板のデータ線並びにキャパシタが接続される活性領域118(図17)には全てプラグ電極121が形成されており、データ線が接続されるプラグ電極121は実施例1と同様に、平面形状の長手方向がY方向で活性領域以外の領域に延在するようにして配されている。さらに、該プラグ電極121にはシリコンナイトライド膜124に形成された開口部122(図17)を介してデータ線BL1~BL3(図17)となる配線電極111(図18)が接続されている。一方、キャパシタが接続される活性領域118上のプラグ電極121にはシリコンナイトライド膜124とシリコン酸化膜112(図18)を貫いて形成された開口部123が形成されており、該開口部介してキャパシタの下部電極113が接続されている。

【0037】次に、図19乃至図23に示す製造工程の断面図、並びに図24乃至図27に示す主要な製造工程における平面図を用いて本実施例をさらに詳しく説明する。

【0038】まず、シリコン基板101上にフィールド酸化膜102を形成し、活性領域上にMISFETを形成するまでは実施例1の図4と同一である。次いで、LPCVD法を用いてシリコンナイトライド膜106を堆積する(図19)。

【0039】次いで、シリコン酸化膜109を実施例1と同様の方法で形成し、ホトリソグラフィと実施例1と同様なドライエッチングを用いて高濃度不純物領域107ならびに108上に開口部121を形成する(図20)。

【0040】次いで、実施例1と同様に上記開口部121にn型の不純物が高濃度に添加された多結晶シリコンを埋め込み、プラグ電極110を形成する(図21、24)。

【0041】次いで、シリコンナイトライド膜124をLPCVD法により堆積し、ホトリソグラフィとドライエッチングを用いて、高濃度不純物領域107上に形成されたデータ線が接続されるプラグ電極110上の該シリコンナイトライド膜124に開口部122を形成し、

さらに、実施例1と同様にデータ線となる配線電極111をパターニングする(図22、図26)。

【0042】次いで、高濃度不純物領域108に接続されたキャパシタが接続されるプラグ電極108上のシリコンナイトライド膜124並びにシリコン酸化膜112を貫いて開口部123をホトリソグラフィとドライエッチングにより形成する(図23、図27)。

【0043】この後に引き続く、キャパシタ並びに配線電極を形成する製造工程については、実施例1と全く同様である。本実施例によれば、キャパシタの下部電極は、直接高濃度不純物領域108に接続せずに、一旦プラグ電極110を介してシリコン基板に接続するために、キャパシタの下部電極を接続するために開口部の製造工程において、開口部の深さを浅くすることができるために、開口部のドライエッチングの製造工程を容易にすることができる。

【0044】なお、以上の実施例では王冠型のキャパシタを用いたメモリセルについて説明したが、下部電極の膜厚の厚いSTC(Stacked Capacitor)構造や、図28に示した高誘電体膜をキャパシタの誘電体膜に用いた構造にも本発明が適用できることは言うまでもない。図28において、キャパシタの下部電極126はチタンナイトライドのプラグ電極125上に形成されている。該下部電極126の材料として、PtやRu等の高融点貴金属が望ましい。また、キャパシタ誘電体膜127の材料としてはSrTiO<sub>3</sub>膜や(Ba, Sr)TiO<sub>3</sub>膜(BST膜)のような高誘電体膜、さらにはPZT膜のような強誘電体膜を用いることもできる。

【0045】<実施例3>図30で本実施例のパタン配置を説明する。図30(a)はビット線コンタクト孔23と蓄積容量コンタクト孔21、22を同時に形成するための、リソグラフィに用いるホトマスクのパタン配置を示した図である。蓄積容量コンタクト孔21、22のパタンサイズは0.2ミクロン、パタンの縦方向の配列ピッチは0.5ミクロンである。この程度のサイズのパタンをリソグラフィで形成するにはKrFエキシマレーザを光源とするステップを用いる必要がある。また、パタンのピッチが小さいため、ハーフトーン型位相シフトマスクでは解像特性が不十分であり、適用は困難である。ここでは、マスクには隣り合う主パタンからの透過光に位相差を加えた位相シフトマスクを用いた。具体的には蓄積容量コンタクト孔21とコンタクト孔22を通過する露光光の位相が反転するようにマスクを調整した。すなわち、コンタクト孔21に位相シフトを配置した。また、コンタクト孔22と、間に挟まれたビット線コンタクト孔23にも位相シフトを配置し、通過する露光光の位相が互いに反転するようにした。このマスクを用いウエーハにパタン転写した結果、図30(b)に示す様なパタンが転写された。位相が反転した光は互いに打ち消し合うため、隣接するパタンは十

分に分離する。しかし、互いが同位相あるいはパタンが隣接して配置されていない場合は、パタンは広がって形成される。ビット線コンタクト孔24は、横方向は位相の異なるパタンが配置されているために、パタンの伸びは無い、しかし、縦方向は位相の反転したパタンが配置されていないため、縦に伸びた形状に解像される。このパタンのメモリセル内の他のパタンとの関係を図31で説明する。図31はメモリセル部の各パタンの配置を示している。31がアクティブ領域、32が蓄積容量コンタクト孔、33が楕円に形成したアクティブ層とのコンタクト孔、34がビット線とのコンタクト孔、35がワード線、36がビット線である。この例では、楕円に形成したコンタクト孔33とビット線36を直接接続すると、2本のビット線に接続されてしまうので、コンタクト孔33に導電材料を埋め込んだ後、絶縁膜を形成し、その後、コンタクト孔34を形成し、ビット線36と連結した。また、更に改良したパタン配置例を図32、図33を用いて説明する。図32(a)にホトマスクのパタン配置を示す。コンタクト孔の配置は図30(a)と同じであるが、ビット線コンタクト孔43の接続するビット線の反対側に補助パタン44を設けた。この補助パタン44とコンタクト孔43を通過する光は、互いに位相が反転するように設定した。このマスクを用いウエーハ上にパタンを転写した結果、図32(b)に示す様なパタンが転写された。補助パタンの配置により、コンタクト孔45は上側のみに寸法が拡大した。このパタンのメモリセル内の他のパタンとの関係を図32で説明する。図33は図32同様にメモリセル部の各パタンの配置を示している。31がアクティブ領域、32が蓄積容量コンタクト孔、63が楕円に形成したアクティブ層とビット線のコンタクト孔、35がワード線、36がビット線である。この例では、コンタクト孔63はビット線36側のみに楕円に形成されている。このため、この例ではビット線36とアクティブ領域31を直接連結することが可能となった。このように、補助パタン44の配置により、コンタクト孔63がビット線との接続方向のみに拡大するようになった。また、この補助パタンは実際にはパタンとして転写されないように解像限界以下の寸法としたが、パタンとして解像するように設定しても特に問題が無かった。むしろ補助パタンを大きくし、パタンとして転写する大きさに設定したほうが、コンタクト孔63の下側へのパタンの伸びが抑えられ、反対側のビット線との接触を確実に回避することが可能となった。また、ビット線コンタクト孔43はマスクを長方形にし、解像パタンの上側への伸びの最適化をすることにより確実なコンタクトができる。

【0046】本実施例は、アクティブ領域と蓄積容量部を接続するコンタクト孔1(32)が短い第1のピッチで配列されている、コンタクト孔1の配列と配列の間にアクティブ領域とビット線を接続するコンタクト孔2(34)が配置され、このコンタクト孔2が上記コンタクト孔1の配列方向と同方向に第1のピッチの2倍のピ

ッチで配列され、更に、上記コンタクト孔2は上記コンタクト孔1の配列方向とほぼ垂直な直線上の位置に配置されており、上記コンタクト孔2の上部表面の平面形状がビット線の配線方向に対し垂直な方向が長い楕円形に形成されている。

【0047】以上のように、位相シフトマスクの解像特性を有効に利用した、パタンの配置をメモリセルのパタン配置に適用することにより、位相シフトマスクの解像度向上効果を十分活かした、微細化が可能となり、メモリセルサイズの大幅な縮小が可能となった。

【0048】<実施例4>本実施例は、実施例2の図24に示した開口部121のパタン形成法に関するものである。256Mビット級のDRAMではこの開口部の短辺寸法は0.2 $\mu$ m程度となり、通常のリソグラフィ法で安定に形成することは困難である。本実施例を図36で説明する。

【0049】図36(a)は、ウエーハ上で得たいパタン形状である。通常は各パタンの角部は丸められるが問題にはならない。しかし、このパタンを一括して形成する場合、光源にKrFエキシマレーザを用いた、最新のステパを用いても、良好に形成することが困難である。本例では、2枚のマスクを用いてパタンを形成した。詳しくは、被加工基板に通常の方法でレジストを形成した後、通常のステパで図36(b)のマスクを用い露光し、次いで図36(c)のマスクを用い露光し、通常の方法で現像しパタンを形成した。これにより、所望のパタンが良好に形成できた。図36(b)のマスクは位相シフトマスクであり、開口パタン71と72を通過する光の位相が互いに反転するように調整してある。また、横方向はパタンとパタンの間隔が離れているため位相シフトの効果が得られないため、主パタンと透過光の位相が反転した、幅が解像限界以下の寸法の補助パタン73、74を配置した。また、図36(c)のマスクも位相シフトマスクであり、長方パタンの幅が太らないように、主パタン75と76に対し、補助パタン77、78を透過する光の位相が互いに反転するように調整した。

【0050】次に、1枚のマスクで同様のパタンを形成した。図37にマスクのパタン配置を示す。このマスクも位相シフトマスクであり隣り合う正方形パタン78、79は透過光の位相が反転するように調整した。開口パタン80と長方開口パタン78の透過光も位相が反転するように調整した。また、長方パタンの片側に位相の反転した補助パタンを配置し、補助パタン方向のパタンの伸びを防止した。このようにパタンを配置することにより、1枚のマスクで開口部121を形成することができた。ただし、長方形パタン78の長手方向の長さが、2枚のマスクを用いた場合と比較すると短く、合わせ精度の管理が必要となったが、特に、素子の動作上の問題はなかった。

【0051】<実施例5>本実施例は、先に述べた本発明の実施例1に於けるダイナミックRAMのメモリアル

部と周辺回路部の関係を具体的に説明するものである。図38に本発明のダイナミックRAMのメモリセル部と周辺回路部分の断面図を示す。メモリセル部分の構造は実施例1と同一である。メモリセルのMISFETのソース・ドレインの高濃度不純物領域107、108とデータ線の配線電極111はプラグ電極110により接続されている。また、周辺回路部分のMISFETの高濃度不純物領域107や、ゲート電極104上にもメモリセルと同一のプラグ電極110が形成され、該プラグ電極はその上部でデータ線と同一の配線電極111に接続されて、周辺回路部のMISFETの配線の一部を構成している。また、上記プラグ電極110によりゲート電極104と高濃度不純物領域107を直接接続することもできる。この場合、プラグ電極の材料としては耐熱性のあるチタンナイトライドが望ましい。

【0052】なお、図38において、周辺回路部のMISFETは一つのNチャンネル型MISFETを示している。しかし、この周辺回路部の具体的な構成は、Nチャンネル型MISFETおよびPチャンネル型MISFETより成る相補型(コンプリメンタリ) MISFETよりなる。

【0053】本実施例によれば、メモリセルばかりでなく、周辺回路の所要面積を小さくし、メモリセルと周辺回路を同一構造の配線系にすることで、製造工程を簡略化することができる。

【0054】<実施例9>本発明におけるダイナミックRAMチップの平面レイアウトの一実施例を図39に示す。図39において、4つのメモリセルアレー部216を囲むように周辺回路部218が十文字配置されている。

【0055】このメモリセルアレー部216内のMISFETは、nチャンネル型よりなる。そして、周辺回路部218内はCMOS回路(コンプリメンタリMISFET)で入出力回路やデコード回路およびアドレス回路を構成している。このメモリセルアレー部216には周辺回路部218をくり貫いた形で層間絶縁膜217(第1ないしは第2の層間絶縁膜)が形成されているものである。そしてさらに、チップ201の長手方向中央に位置した周辺回路部218主面上にはボンディングパッドBPが直線的に設けられている。

【0056】また、本発明におけるダイナミックRAMチップの平面レイアウトの他の実施例を図45に示す。図40に示したダイナミックRAMチップは1ギガビット以上の大容量のDRAMを構成している。

【0057】図40において、複数のメモリセルアレー部216はチップ外周の周辺回路部218およびX1、X2方向およびY1、Y2方向の周辺回路部218で囲まれている。そして、この周辺回路部218にはメモリセルアレー部216をくり貫いた形で層間絶縁膜217(第2の層間絶縁膜)が形成されているものである。こ

のメモリセルアレー部216内のMISFETは、nチャンネル型よりなる。そして、周辺回路部218内はCMOS回路で入出力回路やデコード回路およびアドレス回路を構成している。

【0058】なお、チップ201の長手方向X1、X2方向に位置した周辺回路部218主面にボンディングパッドBPが一行(X1またはX2)もしくは二行(X1およびX2)に直線的に設けられている。

【0059】さらに本実施例で説明したDRAMチップは、SOJ (Small Outline J-leaded Package) やSOP (Small Outline Package)、TSOP (Thin-SOP) さらにはCSP (Chip Size Package) などのサイズの小さいパッケージに組み込むことができる。

【0060】上記の種々の実施例において、メモリセル領域とは、例えば、一つの転送MISFETと電荷蓄積容量素子(キャパシタ)とを単位メモリセルとし、そのメモリセルが一つの半導体チップに規則的に複数個配置されている領域を言う。ここでは、メモリセル領域をメモリセル群あるいはメモリアレイ部と呼ぶこともできる。そして、このメモリセルアレー部には複数のダミーセルも含む。

【0061】一方、周辺回路領域とは、上記メモリセル領域(メモリセルアレー)周辺に配置された、例えばアドレスデコーダー、入出力バッファ等を構成した部分を言う。

【0062】

【発明の効果】本発明では、ダイナミックRAMのビット線コンタクトを楕円に形成した。これにより、メモリセルの微細化が可能となり、素子の高速化、高集積化が達成できた。

【図面の簡単な説明】

【図1】本発明の第1の実施例のメモリセルのパターン配置を示す平面図である。

【図2】本発明の第1の実施例のメモリセルのアクティブ領域を示す平面図である。

【図3】本発明の第1の実施例のメモリセルを示す断面図である。

【図4】本発明の第1の実施例の製造工程を示す断面図である。

【図5】本発明の第1の実施例の製造工程を示す断面図である。

【図6】本発明の第1の実施例の製造工程を示す断面図である。

【図7】本発明の第1の実施例の製造工程を示す断面図である。

【図8】本発明の第1の実施例の製造工程を示す断面図である。

【図9】本発明の第1の実施例の製造工程を示す断面図である。

【図10】本発明の第1の実施例の製造工程を示す断面

図である。

【図11】本発明の第1の実施例の平面パタン形状を示す断面図である。

【図12】本発明の第1の実施例の平面パタン形状を示す断面図である。

【図13】本発明の第1の実施例の平面パタン形状を示す断面図である。

【図14】本発明の第1の実施例の平面パタン形状を示す断面図である。

【図15】本発明の第1の実施例の平面パタン形状を示す断面図である。 10

【図16】本発明の第1の実施例の平面パタン形状を示す断面図である。

【図17】本発明の第2の実施例のメモリセルのアクティブ領域を示す平面図である。

【図18】本発明の第2の実施例のメモリセルを示す断面図である。

【図19】本発明の第2の実施例の製造工程を示す断面図である。

【図20】本発明の第2の実施例の製造工程を示す断面図である。 20

【図21】本発明の第2の実施例の製造工程を示す断面図である。

【図22】本発明の第2の実施例の製造工程を示す断面図である。

【図23】本発明の第2の実施例の製造工程を示す断面図である。

【図24】本発明の第2の実施例の平面パタン形状を示す断面図である。

【図25】本発明の第2の実施例の平面パタン形状を示す断面図である。 30

【図26】本発明の第2の実施例の平面パタン形状を示す断面図である。

【図27】本発明の第2の実施例の平面パタン形状を示す断面図である。

【図28】本発明の第2の実施例のメモリセルを示す断面図である。

【図29】本発明の第1の実施例のメモリセルを示す断面図である。

【図30】本発明の第3の実施例のマスクパタンの平面図である。 40

【図31】本発明の第3の実施例のパタン配置図である。

【図32】本発明の第3の実施例マスクパタンの平面図である。

【図33】本発明を説明するためのパタン配置図である。

【図34】従来型のメモリセル構造を示す断面図である。

【図35】従来型のメモリセルのパタン位置を示す平面図である。

【図36】本発明の第4の実施例のパタン形状を示す平面図である。

【図37】本発明の第4の実施例のパタン形状を示す平面図である。

【図38】本発明の第5のメモリ形状を示す断面図である。

【図39】本発明の第1の実施例における半導体チップレイアウトの一形態を示す平面図である。

【図40】本発明の第1の実施例における半導体チップレイアウトの他の形態を示す平面図である。

#### 【符号の説明】

1、101、116……シリコン基板

2、102……フィールド酸化膜

3、103……ゲート酸化膜

4、104……ゲート電極

5、107、108……高濃度不純物領域

110……プラグ電極

6、8、15、109、112……シリコン酸化膜

105、106、124……シリコンナイトライド膜

7……ビット線

12……蓄積電極

13、114……キャパシタ誘電体膜

14、115……プレート電極

21、22、32……蓄積容量コンタクト孔

33……アクティブコンタクト孔

23、24……ビット線コンタクト孔

19、117……金属配線

31、50、118……アクティブ領域

52……ワード線領域

51……ビット線領域

55……蓄積容量電極領域

119……プラグ電極

120……開口部

113……キャパシタ下部電極

115……キャパシタ上部電極

73、74……補助パタン

75、76……主パタン

80……開口パタン

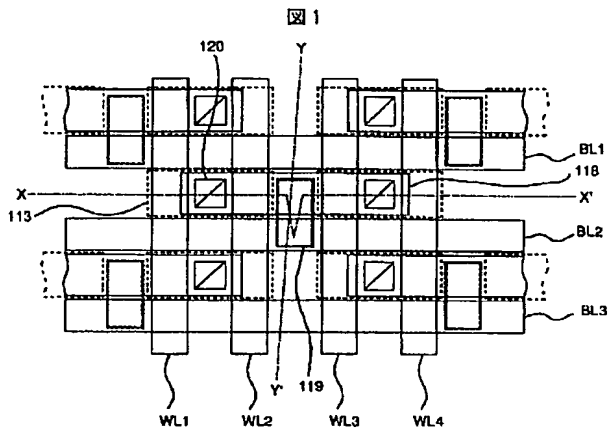
78……長方形パタン

201……チップ

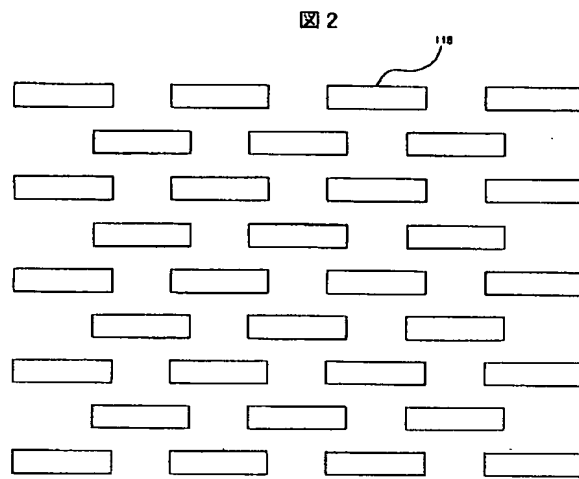
216……メモリセルアレー部

218……周辺回路部。

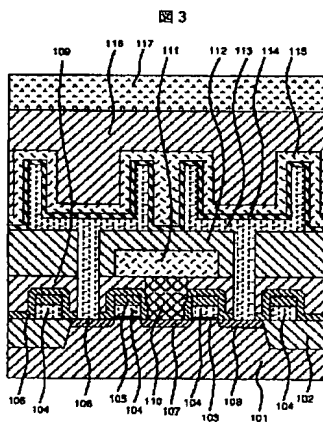
【図1】



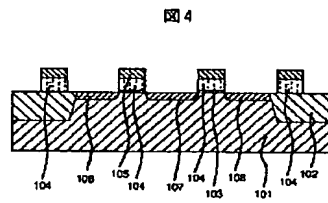
【図2】



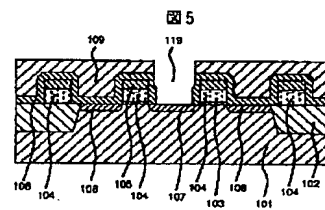
【図3】



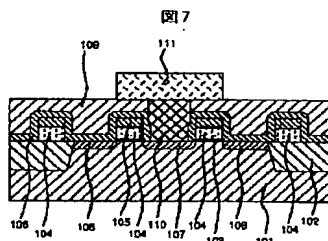
【図4】



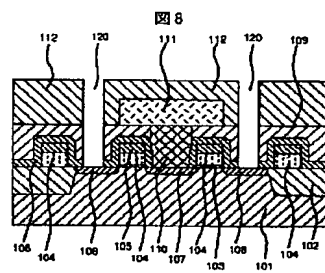
【図5】



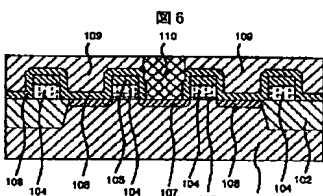
【図7】



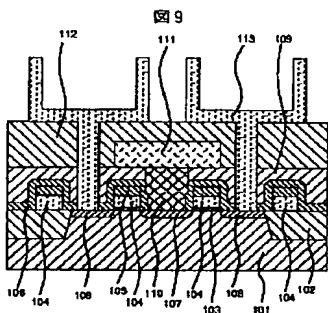
【図8】



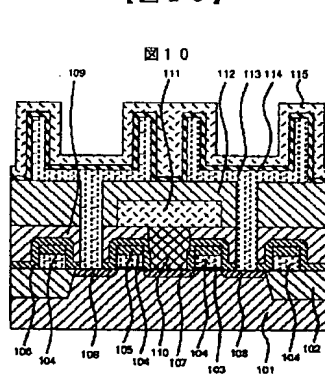
【図6】



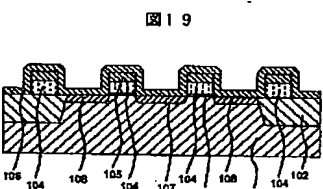
【図9】



【図10】

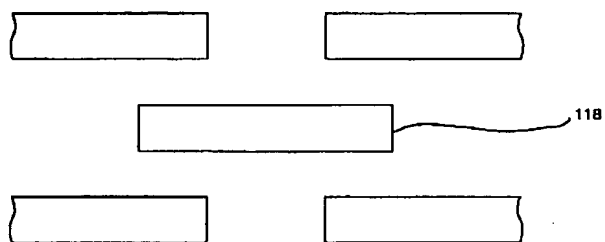


【図19】



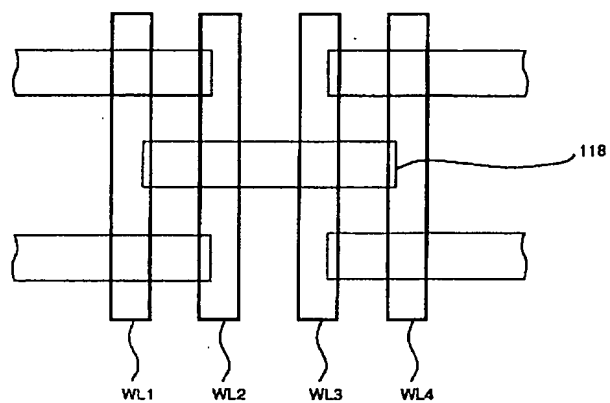
【図11】

図11



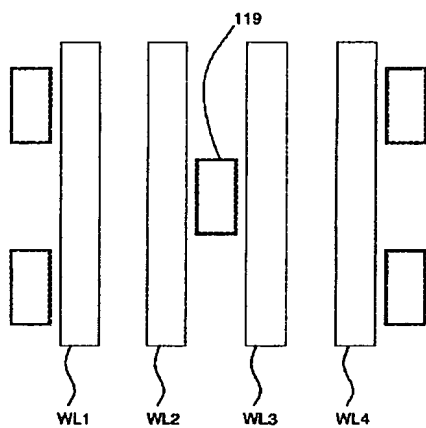
【図12】

図12



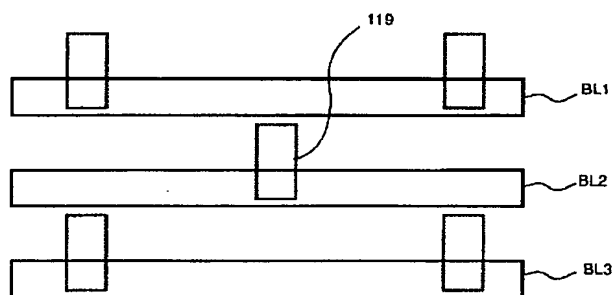
【図13】

図13



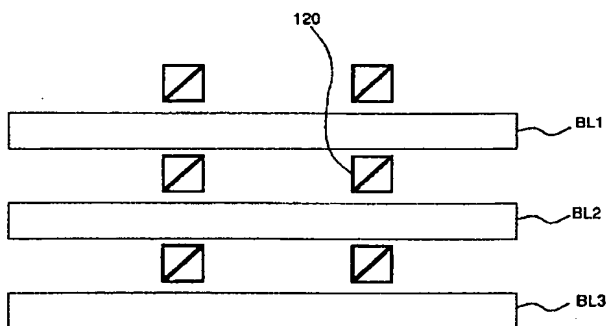
【図14】

図14



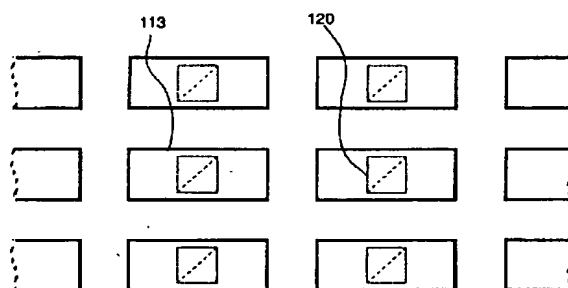
【図15】

図15



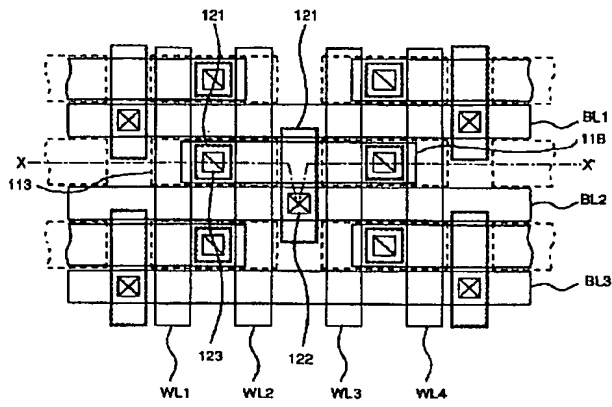
【図16】

図16



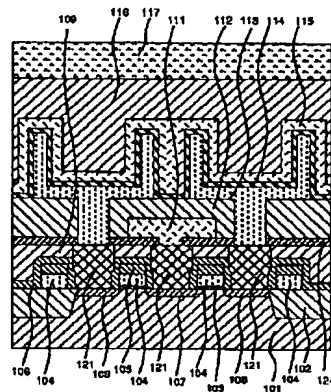
【図17】

図17



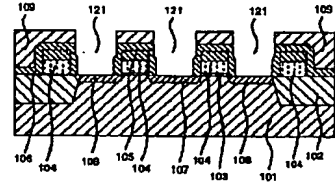
【図18】

図18



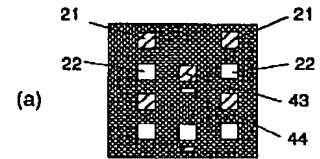
【図20】

図20



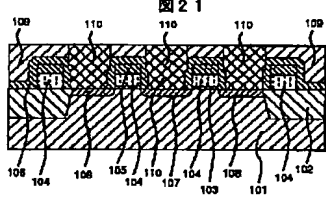
【図32】

図32



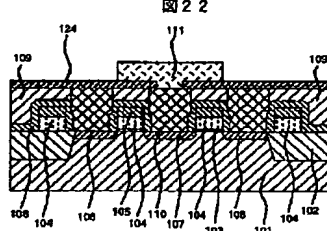
【図21】

図21



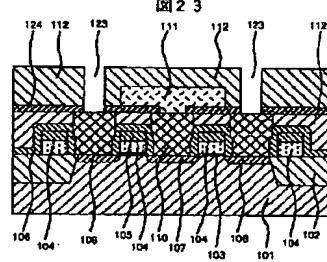
【図22】

図22



【図23】

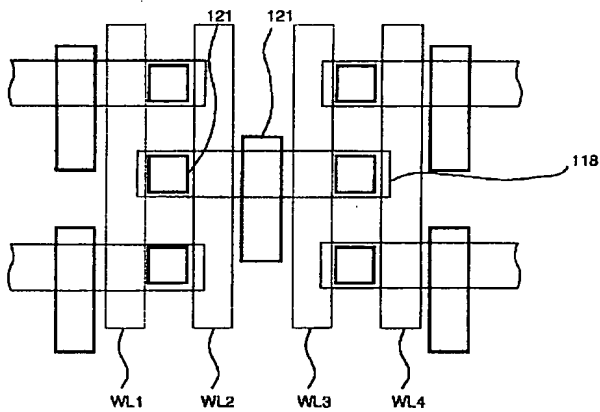
図23



(a)

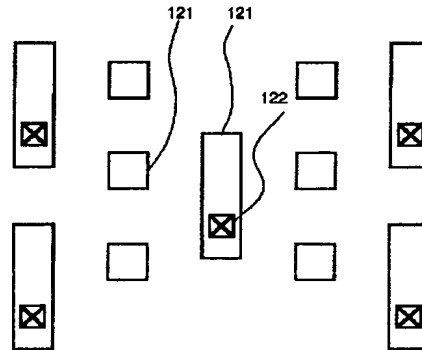
【図24】

図24

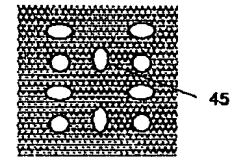


【図25】

図25

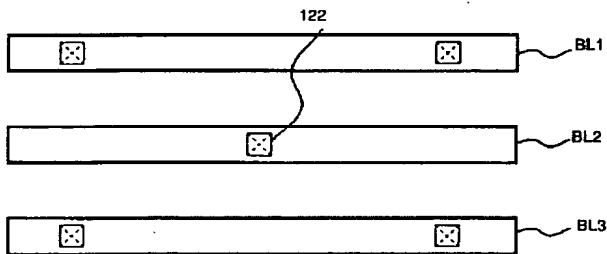


(b)



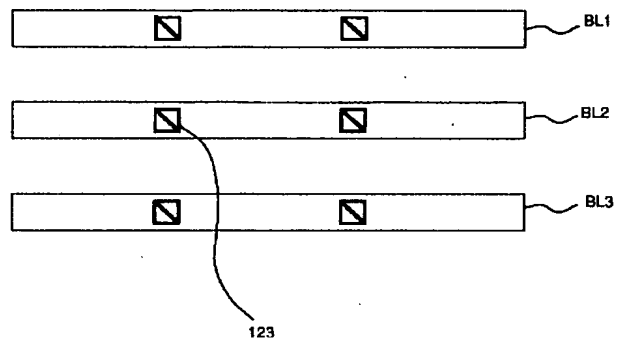
【図26】

図26



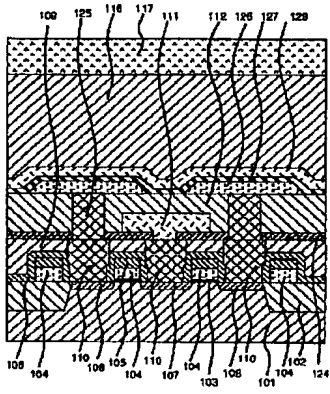
【図27】

図27



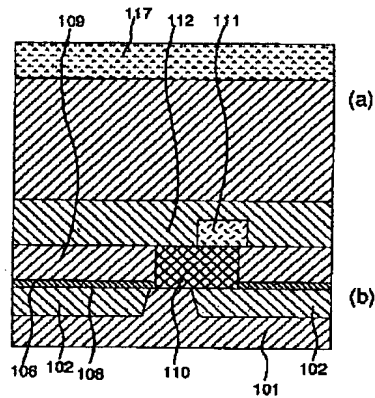
【図28】

図28



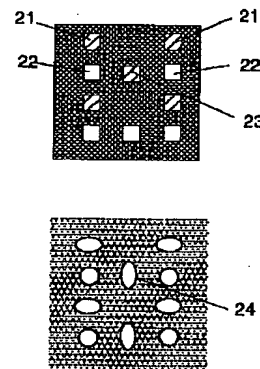
【図29】

図29



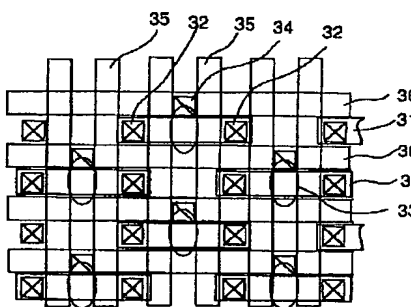
【図30】

図30



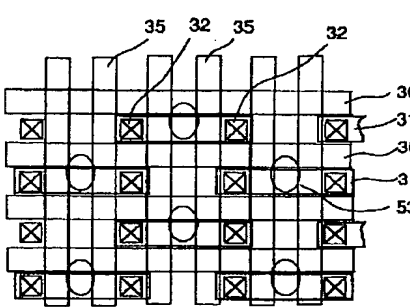
【図31】

図31



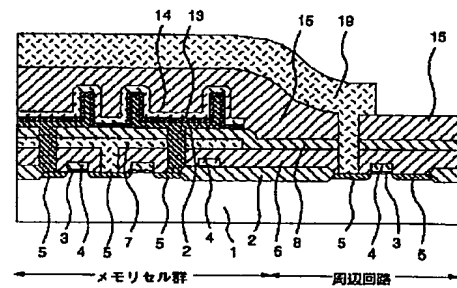
【図33】

図33



【図34】

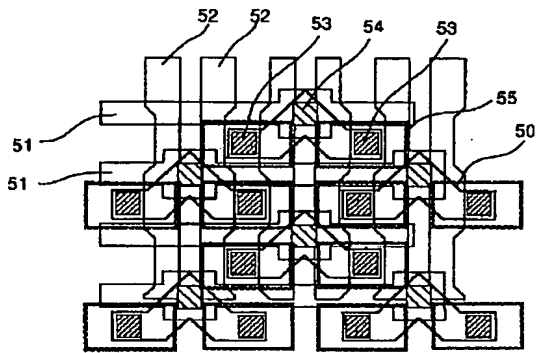
図34





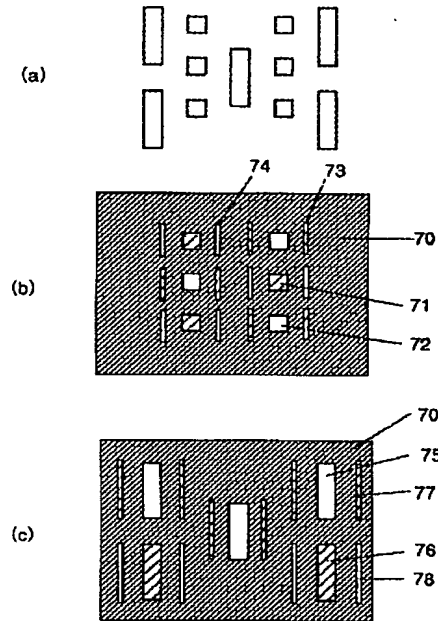
【図35】

図35



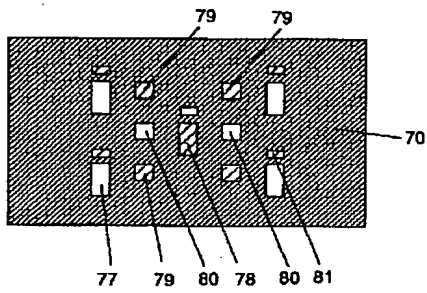
【図36】

図36



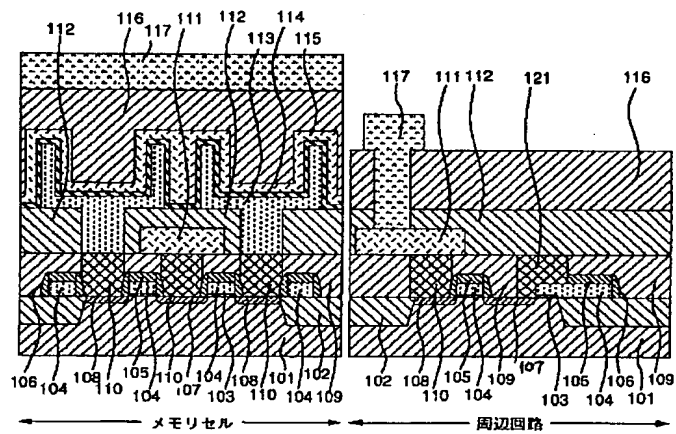
【図37】

図37



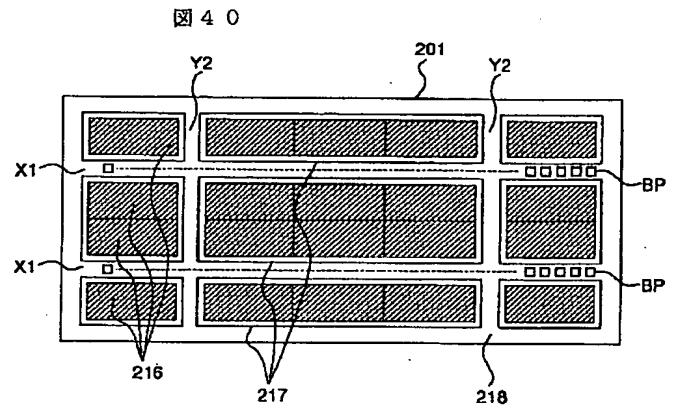
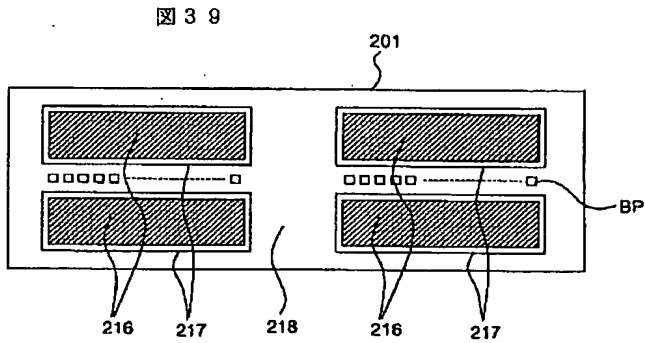
【図38】

図38



【図39】

【図40】



フロントページの続き

(51) Int. Cl. 6

識別記号

H 0 1 L 21/822

F I

H 0 1 L 27/10

6 2 1 C

6 8 1 B

(72) 発明者 大路 譲

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 早野 勝也

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 吉田 誠

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(72) 発明者 只木 芳隆

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内